

⑫ 公表特許公報(A)

昭63-503261

⑬ 公表 昭和63年(1988)11月24日

⑭ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

審査請求 未請求

H 01 L 23/12  
23/50

L-7738-5F  
R-7735-5F

予備審査請求 未請求

部門(区分) 7(2)

(全 8 頁)

⑮ 発明の名称 超高密度パッド配列チップキャリア

⑯ 特 願 昭62-501115

⑰ 出 願 昭61(1986)12月22日

⑱ 翻訳文提出日 昭62(1987)9月2日

⑲ 国際出願 PCT/US86/02814

⑳ 国際公開番号 WO87/04316

㉑ 国際公開日 昭62(1987)7月16日

優先権主張 ㉒ 1986年1月3日 ㉓ 米国(US) ㉔ 816164

⑳ 発 明 者 フリーマン, ブルース ジョセフ アメリカ合衆国フロリダ州33068, エヌ・ローダーデイル, エス・  
ダブリュー・フォーティーンズ・コート, 7405番

㉑ 発 明 者 ドリンスキー, デール アメリカ合衆国フロリダ州33065, コーラル・スプリングス, エ  
ヌ・ダブリュー・セブンティーン・マナー, 8740番

㉒ 出 願 人 モトローラ・インコーポレーテッド アメリカ合衆国イリノイ州60196, シャンバーグ, イースト・アル  
ゴンクイン・ロード, 1303番

㉓ 代 理 人 弁理士 玉森 久五郎

㉔ 指 定 国 DE(広域特許), FR(広域特許), GB(広域特許), IT(広域特許), JP, KR, NL(広域特許), SE(広域  
特許)

最終頁に続く

請求の範囲

1. 半導体チップを取付け、保護カバーに適合する改良されたチップリアリヤ装置であつて、

カバーが取付けられ、レーザ・ドリルにより形成される導電性貫通孔列を有し、その各々が両主表面上の導体により取囲まれ、はんだプラグによりプラグされ、上表面上に外方に延びている複数の導電性ランナを経て、その上表面の周辺近傍のパッド列に電気的に接続するようにした基部を形成する予備焼成セラミック基板手段、

前記予備焼成セラミック基板上及びパッド列内でそれに取付けられる剛体シートとして配置され、前記貫通孔列及び前記外部は位置するランナの一部をカバーし、半導体チップに取付けられる上表面を有する柔軟性誘電体層手段、

半導体チップを電気的に絶縁的に取付け、前記複数の導電性ランナに対し、また、各貫通孔に対し密封封止を与えると同時に前記予備焼成セラミック基板手段の底表面上のパッド配列インタフェースを形成する前記はんだによりプラグした貫通孔に対し、下方領域の使用を可能にし、それにより、チップキャリア装置が著しく大きなパッド配列密度を示す柔軟性誘電体層、  
を具える超高密度パッド配列チップ・キャリア装置。

2. 前記予備焼成セラミック基板は、アルミナのような材料から成る前記請求の範囲第1項記載のチップ・キャリア装置。

3. 前記柔軟性誘電体層手段は、ポリイミドフィルムのようなポリマ材料から成り、前記柔軟性誘電体層は、接着剤のような材料を使用して予備焼成セラミック基板に貼着される前記請求の範囲第1項記載のチップ・キャリア装置。

4. 前記柔軟性誘電体層手段は、予備焼成セラミック基板手段に直接貼着される前記請求の範囲第1項記載のチップ・キャリア装置。

5. 前記予備焼成基板手段の底表面上の貫通孔内に形成される前記はんだのプラグは、それが取付けられるガード上のチップ・キャリア装置を高くするように作用し、それによりチップ・キャリア装置とガードとの間に隙隙を与え、最終アセンブリを容易にし、作業をきれいにする前記請求の範囲第1項記載のチップ・キャリア装置。

6. 前記柔軟性誘電体層手段は、その上に取付けられる半導体チップから前記予備焼成セラミック基板手段まで良好な熱伝導路を与える前記請求の範囲第1項記載のチップ・キャリア装置。

7. 前記柔軟性誘電体層手段は、半導体チップを取付ける金属化上表面を具える前記請求の範囲第1項記載のチップ・キャリア装置。

載のチップ・キャリア装置。

8. 気密封止したパッケージを与えるセラミックベースを有するチップ・キャリアをつくる方法であつて、レーザドリル及び導電性金属化により導電性貫通孔配列を有する予備焼成セラミック基板からセラミックベースを形成し、貫通孔を具える工程、

各々が導電性貫通孔を具える導体により電気導体配列を描写し、電気メッキし、エッチングする工程、導電性貫通孔を遊離するはんだによりプラグする工程、

~~導電性貫通孔を遊離するはんだによりプラグする工程、~~

前記セラミックベースの第2主表面を金属化し、次いで、各々がはんだによりプラグした貫通孔に接続される導電性ランナにより、その上部主表面上で外方に延びている複数の導電性ランナを描写し、電気メッキし、エッチングする工程、

前記セラミックベースの上部主表面上に、上表面を有する柔軟性誘電体層を取付け、その下方の導電性ランナ装置から絶縁した半導体チップを取付ける工程、

前記柔軟性誘電体層は、半導体チップの電氣的に絶縁性ある取付けを与え、複数の導電性ランナ及び各貫通孔に対し気密封止を与えると同時に前記予備

焼成セラミック基板の底表面上にパッド配列インターフェースを形成するはんだによりプラグした貫通孔に対し、その下方領域の使用を可能にし、それによつて、チップ・キャリア装置は零しく大きなパッド配列密度を示す工程、

を具えるチップ・キャリアの製造法。

9. 柔軟性誘電体層を前記セラミックベースに取付ける工程は、前記柔軟性誘電体層をそこに接着剤により貼着する工程を含む、前記請求の範囲第8項記載のチップ・キャリアの製造法。
10. 前記柔軟性誘電体層を前記セラミックベースに貼着する工程は、前記柔軟性誘電体層をそこに溶液による被覆する工程を含む、前記請求の範囲第8項記載のチップ・キャリアの製造法。

## 明 細 書

### 超高密度パッド配列チップ・キャリア

#### 発 明 の 背 景

本発明は、一般的にはチップ・キャリアに関するものであり、特にリードレス・チップ・キャリアに関する。

大規模集積回路チップの大きさの増大とともに、チップに作らなければならない入力及び出力接続の数も相応して増加した。この傾向は、2列の平行な接続ピンを持つデュアル・イン・ライン形チップ・パッケージより、より小さく高密度のリードレス・チップ・キャリアへの発展を促進した。一般的にリードレス・チップ・キャリアは、チップが搭載された基板または基部を形成するアルミナのようなセラミック板を包含するパッケージよりなる。リードレス・チップ・キャリア中の電気接続路(path)は、キャリアのセラミック基部の4面の各面に形成される外部接触パッドに、チップのリード線がみちびかれるのを可能にする。あるリードレス・チップ・キャリアは、キャリア底面に形成される接触パッドさえ含むことができ、チップの下の領域も利用する。キャリアはまた、封入チップに対する熱伝導路を提供しなければならず、重要な設計上

考慮すべき事柄である。それからチップ・キャリアは普通、一般的にはより大きいプリント回路(PC)板またはセラミック板上にチップ・キャリアの接触パッドを逆書きに(mirror)した対応接触パッド上にチップをかんだんに置くことにより表面取付けされる。電氣的及び機械的接続は、それから、この一般的には大きい板にチップ・キャリアを遊離する(reflow)はんだによりはんだ付けすることによりなされる。この準備はデュアル・イン・ライン形パッケージを板(ボード)に取付けるのより煩わしさは少なく、より高密度の入力及び出力接続が達成されるのを可能にする。

しかしながら、リードレス・チップ・キャリアが板(ボード)に接続される方法のため、それには不利も生ずる。接続が比較的しなやかなピンによりなされるデュアル・イン・ライン形パッケージと異なり、リードレス・チップ・キャリアは、一般に大きいPC板(ボード)または他のセラミック板(ボード)に堅く接合され、そこで、キャリアとこれが取付けられる板(ボード)との間の相対運動を調節する能力が不足する。チップ・キャリアと板(ボード)が異なる熱膨張係数を有する材料であれば、温度の変化は両部分の間に異なる膨張をおこすであろう。これは、はんだ付け接続部にひずみをおこし、繰返し熱サイクルの後には特に、電氣的及び機械的接続の故障の原因となる。微

がしい場合にはこの熱サイクルは、チップ・キャリアが、その取付けられた板(ボード)より分離される原因となる。設計の他の局面と妥協するため、そのようなりードを最小にする方法を決定する研究がおこなわれた。例えば、小さいセラミック・チップ・キャリアは、特にそれがプリント回路板(ボード)に取付けられた時には、大きいチップ・キャリアより熱サイクル環境において、より高い信頼度で動作することが知られている。それ故に、取付けセラミック・チップ・キャリアの全体的信頼度の改善を求めれば、設計者はチップ・キャリアの大きさの減少に努めねばならないのは明らかである。

チップ・キャリア用のある既知の装置は厚膜技術を使用し、未焼成セラミック基板の表面上にスクリーン印刷の(screened-on)金属ペーストのパターンを形成する。このセラミック基板の貫通孔(スルー・ホール)は導電ガラス-金属ペースト組合せて満たされ、印刷金属ペーストのパターンで形成される導電体に接続する。このセラミック基板はそれから、下に第2セラミック層を加えられ、第2セラミック層は底面に接触パッドを持ち、第1セラミック層上の導電体及びダイ取付けパッドより分離される。ダイ取付けパッドの下方の中心部を使用するが、このような共通焼成(co-fired)チップ・キャリアに対し実現できる大き

さるチップ・キャリア装置は、共通焼成層の必要を除去する2部分製造(two-part manufacturing)プロセスを説明するものである。チップ・キャリア装置のセラミック基板または基板をはじめ、導電性ランナは、両方の主面上に形成され、普通の厚膜プロセス使用の導電性貫通孔により相互接続される。貫通孔は、一面より他面への相互接続路を提供するのみでなく、また、チップ・キャリアをその最終取付け板(ボード)に相互接続する足跡(footprint)、即ち、パッド配列を形成する。開示されるチップ・キャリアのセラミック基板上面には、柔軟な誘電体層が張付けられ、この層は金属化上部層を有し、集積回路チップを受け入れるダイ取付けパッドを提供する。この柔軟な誘電体層は、いくつかの重要な機能に役立つ。第1に、これは、チップ・キャリアのセラミック基板上面に形成される電気導体より集積回路チップまたはダイを絶縁する。第2に、これは、メタライゼーション(金属化層)を付着する適当な面を提供する。第3に、これは非常に薄く作られる故に、取付け集積回路チップとチップ・キャリアのセラミック基板との間の熱伝導路を抑制しない。そこで本発明は、そのような追加メタライゼーション・プロセス使用の結果として、広い電気導体をつくる高価な共通焼成技術を利用せず、小さい高密度のチップ・キャリア装置またはパッケージが製造される

さ及び密度は、追加的な共通焼成プロセス自体により制限され、そのプロセスにおける印刷出来る最小導電体層は127ミクロン(micrometers)またはミリインチ(millimillies)であり、203.2ミクロン幅が典型的な製作幅である。この制限は、共通焼成法を用いて製作されるチップ・キャリアに対し、可能な大きさ及び密度を制限し、これらはずきに、信頼度及び原価にかけるさらに望ましい改善を抑制する。

チップ・キャリアの総体的大きさ及び製造原価を縮小しながら信頼度を改善するため、多くの他の装置が提案されたが、これらは同時に各個及びその他全部の制約を克服するのに成功であるとは判明していない。

#### 発明の簡単な要約

本発明の目的は、前述の問題の緩和のために使用できるチップ・キャリア装置及び製造法を提供することである。

本発明のさらに他の目的は、また、前述の問題を低原価で軽減する、チップ・キャリア装置及び製造法を提供することである。

本発明の1局面によれば、それを介して熱伝導路(path)を提供するとともに集積回路チップに取付け、電気的に接続するチップ・キャリア装置が提供され、これは、より高密度パッケージ製造方法の提供により、40%の大きさ及び原価の縮小を達成する。ここに開示

のを可能にする。

本発明の装置及び方法にもとづく典型的なチップ・キャリア・パッケージは、次に添付の図面及び記述に関連して説明されるであろう。

#### 図面の簡単な説明

第1図(a)(b)は、技術的に既知の状態のチップ・キャリアの概略図を示す。

第2図(a)~(f)は、セラミック基板を処理するため本発明により説明される実施例を実行する可能なプロセス順序を図示する。

第3図(a)(b)は、本発明のセラミック基板に柔軟な絶縁層を結合する前に、2次プロセスの利用によりその柔軟な誘電体層の実施例を実行する可能なプロセス順序を図示する。

第4図は、本発明にもとづきチップ・キャリア装置を形成のため、第3図に図示される1次プロセスにもとづき作成されるセラミック基板と第3図の2次プロセスにより作成される柔軟な誘電体層の結合を図示する。

第5図は、ボンド・ワイヤで接続される取付け半導体チップを有する第4図のチップ・キャリアの上面図を図示する。

第6図は、本発明と同一構造及び結果を達成のため、第2図の1次プロセスにもとづき作成されるセラミッ

タ基板、及びそれに付着される異なる2次プロセスを利用する柔軟な誘電体層を使用する本発明の他の実施例を図示する。

#### 詳細説明

さて図面を参照するに、第1図(a)は技術的に既知のチップ・キャリアを示す側面略図を図示する。

第1図(b)は、第1図(a)のチップ・キャリア装置の透視図上面図を図示し、半導体チップがその上に取付けられている。

第1図(a)に図示される先行技術に戻り、アルミナ(または $Al_2O_3$ )よりなる第1セラミック層100は、開孔され、それから導電ガラス-金属ペーストで満たされた多数の貫通孔を有する。セラミック層100の主表面の1つには、金属ダイ取付けパッド104及び金属ワイヤ・ボンド・パッド106のような金属パッドがスクリーン印刷(screened)される。金属ワイヤ・ボンド・パッド106は1列に整列させられ、貫通孔102に導電的に接続する。この第1アルミナ層100に、典型的にはまたアルミナ製である第2セラミック層108が付着される。このセラミック層108はまた、開孔され、それから、導電ガラス-金属ペーストで満たされる貫通孔110を有する。さらに印刷導電体112が提供され、第1セラミック層100の貫通孔102を第2セラミック層108の貫通孔110と相互接続する。第2セラミック

層108の底面上に金属パッド114が供給され、これは貫通孔110に接続する。この金装置はそこで、ガラス-金属ペーストを硬化させ、組立て部品全体に供給されるアルミナ層を溶解させるに十分な高温度で焼成される。そこで第1図(b)の透視図の上面図に図示されるごとく、このチップ・キャリア装置は、セラミック層108につながれた(金属ダイ・パッド104及び多くの金属ワイヤ・ボンド・パッド106を持つ)セラミック層100よりなる。第1図(b)に図示するごとく、このチップ・キャリア装置は集積回路チップのような半導体チップ120を取付ける準備ができていて、封入パッケージを与えるように普通はかけられるカバーは、半導体チップが取付けられチップ・キャリア装置と相互接続される方法を明確にするように図示されていない。

第1図(a)(b)に図示されるチップ・キャリア装置は、本発明の背景でかなり詳細に示され、前に列挙した全部の欠点を受け島い。即ち、これは、必然的にチップ・キャリア装置の最少可能な大きさを制限する高価な共通焼成技術を使用し、ついでその技術は、単価は勿論のこと信頼度に影響する。

さて、本発明の改良されたチップ・キャリア装置の好ましい実施例に戻り(第2図及び第3図に図示のプロセスを利用する)、その結果として第4図、第5図に図示の改良チップ・キャリア装置となる。この実施

例では1次プロセスは、第2図に図示され、貫通孔配列を有するよう開孔されるアルミナ基板200よりなるセラミック層を製作する。第2図のステップ(工程)を参照のこと。貫通孔は既知のレーザ・ドリル加工技術により形成されるものであろう。第2図のステップbに進めば、普通の真空メタライゼーション技術を使用し、第1金属化層202がアルミナ基板200の表面に加えられる。第2図のステップcに進めば、貫通孔とともに金属化表面はそこで光学描写(photodelineated)され、銅、ニッケル、及び金で電気めつきされ、それからエッチングされ、それぞれの導電性貫通孔に電気的に接続したまゝになっている各導電体204を形成する。第2図ステップdでは、アルミナ基板200の貫通孔ははんだにより栓(plug)をされる。このステップは、はんだによるプラグ(栓)206を形成し、最終チップ・キャリア装置に対する表面取付け相互接続点とともに溶接密封を与えるのに役立つ。清掃作業の後に第2図のステップeに進み、第2金属化層208がアルミナ基板200に加えられる。第2図のステップfで、この第2金属化層208は同様に光学描写され、電気めつきされ、エッチングされ、貫通孔のはんだによるプラグ(栓)206と相互接続する別個の導電体210を形成する。

本発明の好ましい実施例によれば、柔軟な誘電層を

つくる2次プロセスは第3図に図示される。第3図のステップaは、DuPontの登録商標kaptonとして知られるポリイミド・フィルムのようなポリマーでつくられる柔軟な誘電体層300で開始する。この誘電体層300は、また、金属化層302を有する。次に、第3図のステップbに進み、一般的に大きいシートとして処理されるこの誘電体層300は、つぎに、図示されるように必要な角形スリッ304に分割される。第4図を参照するに、第3図のプロセスによりつくられる金属化された柔軟な誘電体ポリイミド・フィルムのスリッ304は、第2図のプロセスにより前につくられたアルミナ基板200に貼りつけられる。柔軟な誘電体スリッ304は、接着剤402により適当な位置に保持され、その接着剤はアクリル接着剤でよい。柔軟性誘電体スリッ304の金属化上面層302は、半導体チップを添着させるように準備される。第5図を参照するに、第4図に図示されたチップ・キャリア装置の透視図の上面図が図示され、半導体チップ502が金属化誘電体スリッ304に取付けられた後に、そのチップへの相互接続のためボンド・ワイヤが使用される。

結果として本発明の好ましい実施例は40多の大きさの細小に直接貢献する改善された信頼度を有するチップ・キャリア装置を提供する。さらに、そのコストは、高温度、共通焼成技術を使用して製作される既知のチ

アップ・キャリア装置と比較すれば、略々40%低下された。高温度、共通焼成技術を用い製作されるアップ・キャリアは、127ミクロンより203.2ミクロン範囲の導電体幅を達成できるのみであるから、これらの改善は以前には不可能であつたが、本発明にもとづくアップ・キャリア装置は127ミクロン以下のライン幅の達成が可能である。かくて、超高密度アップ・キャリア実現に必要とされる以上の大きな精度は、高温度共通焼成技術に関連する不正確による制約を克服する電気メッキ、レーザ加工孔のハンダによるプラグ(栓)の使用を可能にした。さらに真空メタライゼーション(金属化)技術はあらゆるステップで都合よく使用され、セラミック基板基部の表面に取付けられる誘電体層との衝突を避けるのに十分なだけ外方に延びている幅の狭い導電体を実現した：最初に、既知の真空メタライゼーション(金属化)技術を用い金属を蒸着し、次に足跡または導電体パターンを光学描写し、それから、レーザ加工の貫通孔を含み望ましいパターンに銅、ニッケル、及び金を電気メッキし、最後に、望ましくない金属を除去し、プロセスを完了する。金属化誘電体層もまた安定な材料性質を有し、誘電体層として有利に使用されるのを可能とする。薄いシート の形で、これは、1面ではセラミックにはられ、他面では金属化膜にはられることが出来る物質を提供し、しかも誘

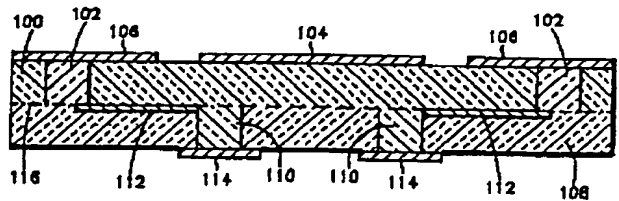
電体の性質を十分に保持する。

第6図を参照するに、本発明の他の実施例が図示され、これは、金属化上面層602を有する誘電体被覆の柔軟な誘電体層600を有し、それに、第2図の1次プロセス・スタンプにもとづき製作されたセラミック・アルミナ基板200がはりつけられるが、この場合は層600は、接着剤の使用なしで直接にはりつけられる。第6図に図示されるアップ・キャリア装置及び第4図に図示されるものも共に良好な接着性を示すが、これは、若しくははんだこぶにより解明されないセラミック・アルミナ基板200の平滑な上表面によるものである。第6図の構造にもとづく他の利点は(第4図と同様に)はんだによるプラグ(栓)208の付加的高さによりセラミック・アルミナ基板200がその取付け板(ガード)よりの高さが高いことは、第1図(a)に図示される既知の従来技術では見られなかつたことである。そこで本発明は、より小さなより高密度のアップ・キャリア装置を達成するのみならず、アップ・キャリアが板(ガード)の表面に取付ける時に行なわれる電氣的接続の信頼度を維持し改善する。

要約すると、超高密度アップ・キャリア装置は、高価な、高温度、共通焼成技術を要せず、改善されしかも小さい簡素化したアップ・キャリアのの製作を可能にした。

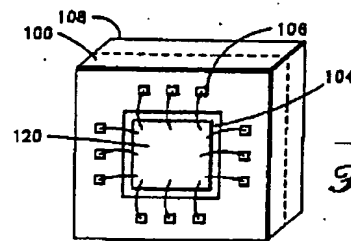
さらに本発明のアップ・キャリア装置は高価な組み立て技術を除きしたのみならず、より小さいより高密度のアップ・キャリアを達成するため、既知の薄膜技術と関連し、柔軟な誘電体層のいくつかの材料特性を有効に利用し、既知の従来技術の限界を克服した。

本発明のアップ・キャリア装置は十分に多くの付帯利点を開示しているが、多数の変更や修正が当業技術者には明白であると考えられる。それ故に上述の発明の型式は、たんに好ましい典型的な実施例であるが、型式、構造、部品の配置において行なわれる変化は、上述の発明の範囲からはづれるものではない。



— 在来技術 —

Fig. 1a



— 在来技術 —

Fig. 1b

Fig. 6

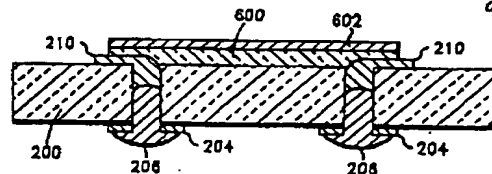


Fig. 2

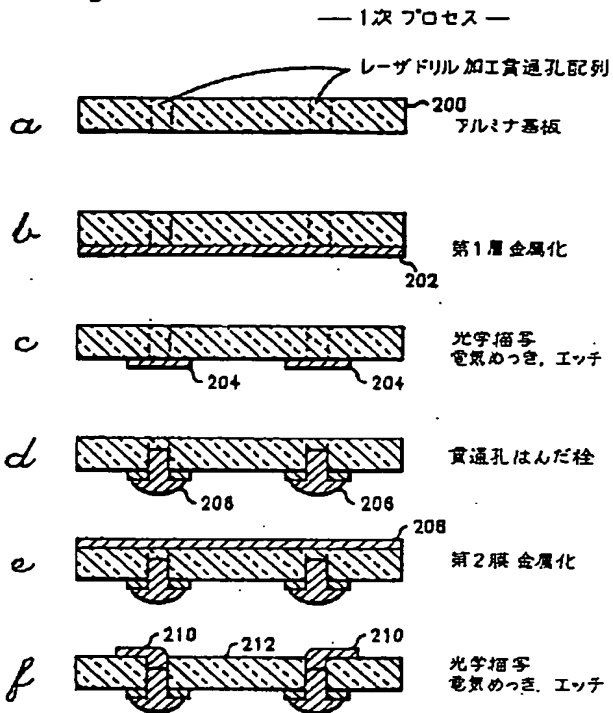


Fig. 3

— 2次プロセス —

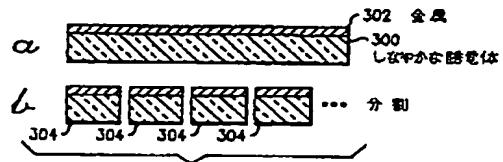


Fig. 4

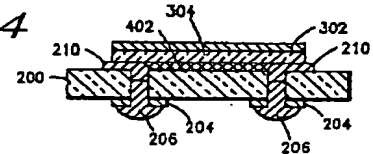
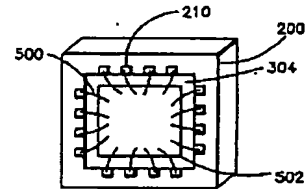


Fig. 5



補正書の翻訳文提出書 (特許法第184条7の第1項)

昭和 63 年 4 月 8 日

特許庁長官 小川 邦 夫 殿

## 1. 特許出願の表示

国際出願番号 PCT/US86/02814

## 2. 発明の名称

超高密度パッド配列チップ・キャリア

## 3. 特許出願人

住 所 アメリカ合衆国イリノイ州60198, シャンパーグ,  
イースト・アルゴンクイン・ロード, 1303番

名 称 モトローラ・インコーポレーテッド

代表者 ラウナー, ビンセント ジョセフ

国 籍 アメリカ合衆国

## 4. 代理人

住 所 東京都豊島区南長崎2丁目5番2号

氏 名 (7139) 弁理士 玉 島 久 五 郎

## 5. 補正書の提出年月日

1987年 6 月 29 日

## 6. 添付書類の目録

(1) 補正書の翻訳文 1 通

2. (補正) 前記単一の予備焼成セラミック基板手段は、アルミナのような材料から成る前記請求の範囲第1項記載のチップ・キャリア装置。

3. (補正) 前記単一の柔軟性誘電体層手段は、ポリイミドフィルムから成り、前記単一の柔軟性誘電体層は、接着剤のような材料を使用して予備焼成セラミック基板に貼着される前記請求の範囲第1項記載のチップ・キャリア装置。

4. (補正) 前記単一の柔軟性誘電体層手段は、予備焼成セラミック基板手段に直接貼着される前記請求の範囲第1項記載のチップ・キャリア装置。

5. (補正) 前記単一の予備焼成基板手段の底表面上の貫通孔内に形成される前記はんだのプラグは、それが取付けられるボード上のチップ・キャリア装置を高くするように作用し、それによりチップ・キャリア装置とボードとの間に間隙を与え、最終アセンブリを容易にし、作業をきれいにする前記請求の範囲第1項記載のチップ・キャリア装置。

6. (補正) 前記単一の柔軟性誘電体層手段は、その上に取付けられる半導体チップから前記単一の予備焼成セラミック基板手段まで良好な熱伝導路を与える前記請求の範囲第1項記載のチップ・キャリア装置。

7. (補正) 前記単一の柔軟性誘電体層手段は、半

導体チップを取付ける会属化上表面を具える前配要求の範囲第1項記載のチップ・キャリア装置。

8. (補正) 気密封止したパッケージを与えるセラミックベースを有するチップ・キャリアをつくる方法であつて、

レーザドリルにより導電性貫通孔配列を具えるように上部主表面及び下部主表面を有する単一の予備焼成セラミック基板からセラミックベースを形成し導電性金属化を下部主表面に適用し、貫通孔を具える工程、

各々が導電性貫通孔に結合されるランナにより導電性ランナの配列を描写し、電気メッキし、エッチングする工程、

導電性貫通孔を塞流するはんだにより実質的にそれを介して上部表面以外をプラグする工程、

前記セラミックベースの上部主表面を金属化し、次いで、各々がはんだによりプラグした貫通孔に接続される導電性ランナにより、その上部主表面上で外方に延びている複数の導電性ランナを描写し、電気メッキし、エッチングする工程、

前記セラミックベースの上記主表面上に、上部表面を有する柔軟性誘電体層を貼着し、その下方の導電性ランナ装置から絶縁した半導体チップを取付ける工程、

前記柔軟性誘電体層は、半導体チップの電氣的に絶縁性ある取付けを与え、複数の導電性ランナ及び、各貫通孔に対し気密封止を与えると同時に前記予備焼成セラミック基板の底表面上にパッド配列インタフェースを形成するはんだによりプラグした貫通孔に対し、その下方領域の使用を可能にし、それによつて、チップ・キャリア装置は著しく大きなパッド配列密度を示す工程、

を具えるチップ・キャリアの製造法。

# 国際調査報告

International Application No. PCT/US66/02814

<p>1. CLASSIFICATION OF SUBJECT MATTER (If several classifications apply, indicate all.)</p> <p>IPC (4): H01K 7/06, 1/11, 1/10</p> <p>U.S. Cl.: 361/400, 403, 414; 29/845, 853</p>																						
<p>2. FIELD OF SEARCH</p> <p>Minimum Documentation Sought:</p> <p>Classification System</p> <p>U.S.: 361/400, 403-6, 408, 414; 29/832, 845, 852-3; 357/79, 80, 84; 174/327, 48.3</p>																						
<p>3. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category</th> <th>Citation of Document, with indication, where appropriate, of the reference passages</th> <th>Relevant to Class No. 11</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US, A, 4,446,477 (CLARK, ET AL) 1 May 1984 See the entire document</td> <td>1-3, 5, 8, 10, 12-14</td> </tr> <tr> <td>Y</td> <td>DE, A, 26,571,313 (SEBING) 22 June 1978 See the abstract</td> <td>1-3, 5, 8, 10, 12-14</td> </tr> <tr> <td>Y</td> <td>US, A, 3,868,724 (WIDEN) 25 February 1975 See column 2, lines 1-10 and column 3, lines 52-60</td> <td>4, 9</td> </tr> <tr> <td>A</td> <td>US, A, 4,477,109 (WATKINS, ET AL) 13 March 1984 See abstract, lines 5-8</td> <td>1, 8</td> </tr> <tr> <td>A</td> <td>US, A, 3,838,984 (CRANE, ET AL) 1 October 1974 See column 4, lines 3-6</td> <td>2, 8</td> </tr> <tr> <td>A</td> <td>US, A, 4,336,551 (PUTT, ET AL) 22 June 1982 See the abstract</td> <td>1, 8</td> </tr> </tbody> </table>		Category	Citation of Document, with indication, where appropriate, of the reference passages	Relevant to Class No. 11	Y	US, A, 4,446,477 (CLARK, ET AL) 1 May 1984 See the entire document	1-3, 5, 8, 10, 12-14	Y	DE, A, 26,571,313 (SEBING) 22 June 1978 See the abstract	1-3, 5, 8, 10, 12-14	Y	US, A, 3,868,724 (WIDEN) 25 February 1975 See column 2, lines 1-10 and column 3, lines 52-60	4, 9	A	US, A, 4,477,109 (WATKINS, ET AL) 13 March 1984 See abstract, lines 5-8	1, 8	A	US, A, 3,838,984 (CRANE, ET AL) 1 October 1974 See column 4, lines 3-6	2, 8	A	US, A, 4,336,551 (PUTT, ET AL) 22 June 1982 See the abstract	1, 8
Category	Citation of Document, with indication, where appropriate, of the reference passages	Relevant to Class No. 11																				
Y	US, A, 4,446,477 (CLARK, ET AL) 1 May 1984 See the entire document	1-3, 5, 8, 10, 12-14																				
Y	DE, A, 26,571,313 (SEBING) 22 June 1978 See the abstract	1-3, 5, 8, 10, 12-14																				
Y	US, A, 3,868,724 (WIDEN) 25 February 1975 See column 2, lines 1-10 and column 3, lines 52-60	4, 9																				
A	US, A, 4,477,109 (WATKINS, ET AL) 13 March 1984 See abstract, lines 5-8	1, 8																				
A	US, A, 3,838,984 (CRANE, ET AL) 1 October 1974 See column 4, lines 3-6	2, 8																				
A	US, A, 4,336,551 (PUTT, ET AL) 22 June 1982 See the abstract	1, 8																				
<p>4. SUMMARY OF THE INVENTION</p> <p>Summary of the invention as claimed in the claims of the application:</p> <p>1. A method of forming a semiconductor device, comprising the steps of: providing a substrate having a top surface and a bottom surface; forming a conductive layer on the top surface; forming a plurality of through holes in the top surface; filling the through holes with a conductive material; and forming a conductive layer on the bottom surface.</p>																						
<p>5. CLAIMS</p> <p>1. A method of forming a semiconductor device, comprising the steps of: providing a substrate having a top surface and a bottom surface; forming a conductive layer on the top surface; forming a plurality of through holes in the top surface; filling the through holes with a conductive material; and forming a conductive layer on the bottom surface.</p>																						
<p>6. CERTIFICATION</p> <p>Date of the filing of the International Application: March 31, 1987</p> <p>Date of filing of the International Search Report: 10 APR 1987</p> <p>International Searching Authority: ISA/US</p> <p>Signature of Searching Authority: [Signature]</p>																						

Form PCT/US 66 (October 1986) (20/10/86)

第1頁の続き

優先権主張

④発明者

④1986年9月2日④米国(US)④902819

シャーボフ, ジョン

アメリカ合衆国フロリダ州33065, コーラス・スプリングス, エ  
ヌ・ダブリュー・サーティサード・ストリート, 12126番



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**